**PONTIFICIA UNIVERSIDAD JAVERIANA CALI**

**PROYECTO SISTEMA DE COMPUTO**

**INGENIERIA DE SISTEMAS Y COMPUTACION**

**FACULTAD DE INGENIERIA**

**MARIBELL SACANAMBOY**

**ARQUITECTURA DE COMPUTADOR II**

**GERMÁN ANDRÉS CAYCEDO MUTIS**

**DAVID HERNÁNDEZ CÁRDENAS**

**MARÍA CAMILA LÓPEZ LEAL**

**ALEJANDRO MEZA BARRERA**

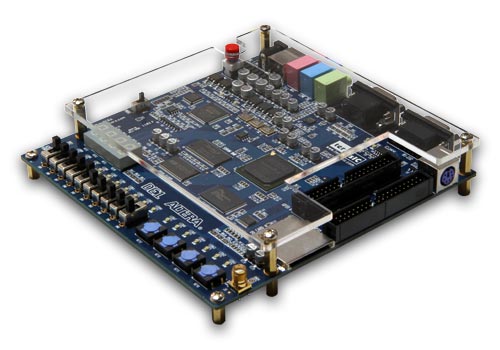
**SANTIAGO DE CALI, 17 DE AGOSTO DE 2018**

**APLICACIÓN**

Se desarrollará un sistema de cómputo donde se correrá una aplicación enfocada en el manejo, organización y conocimiento del periodo menstrual de las mujeres. Para ello se hará uso de información personal acerca de cada mujer, como la duración de su ciclo, la última vez de su periodo, la duración de días con periodo, entre otros. Además, la aplicación logrará alertar por medio de datos como la planificación y el hecho de estar en el periodo o no, cuándo se tienen señales de embarazo, retrasos anormales o en su defecto si su ciclo se encuentra correcto sin ninguna intranquilidad. Al contrario de las aplicaciones normalmente vistas en las tiendas, que son abordadas para llevar un calendario y cómo con el tiempo se lleva una regulación del periodo menstrual, la nuestra se centrará en generar diferentes resultados inmediatos a partir de información predeterminada de cada mujer según sea su caso.

**RECURSOS**

La iniciación del sistema de cómputo se basa en el proceso de creación del algoritmo en alto y bajo nivel el cual será usada en el sistema ya mencionado. Para ello, se usarán aplicaciones de modificación de texto y comprobación del funcionamiento aritmético lógico de ambos algoritmos (bajo y alto nivel). Consumado esto, para la realización y/o el desarrollo del sistema de cómputo se hará uso de la herramienta Quartus II Edición Web para el análisis y el compendio de los diseños a realizar en lenguaje HDL (Lenguaje de descripción de hardware). En este caso, el lenguaje a emplear es VHDL derivado del anterior mencionado. El dispositivo en el cual se trabajarán las entradas, señales y salidas será la FPGA [EP2C20F484C7](https://www.google.com.co/search?q=EP2C20F484C7&oq=EP2C20F484C7&aqs=chrome..69i57j0l5.720j0j7&sourceid=chrome&ie=UTF-8).

****

**ALGORITMIA**

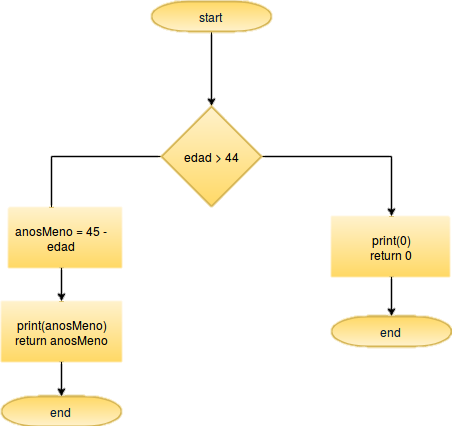
El desarrollo de algoritmos en bajo nivel (.asm) dependen en gran parte de la invención de estos en alto nivel, que son los comúnmente realizados en el ámbito laboral y académico. Por lo tanto, la creación del programa a ejecutar por el procesador en lenguaje ensamblador se dio inicio con la creación del programa en lenguaje de alto nivel. En este caso, se hizo uso del lenguaje de programación C. Por lo tanto, la creación del algoritmo en bajo nivel se vio facilitada por el programa ya creado en alto nivel. Durante el proceso de desarrollo se tomó la posibilidad de asignarle una función especifica dentro del programa a cada salida de este por medio de las diferentes entradas antes mencionadas (APLICACIÓN).

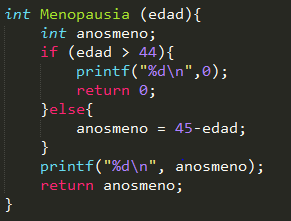
**DIAGRAMAS DE FLUJO**

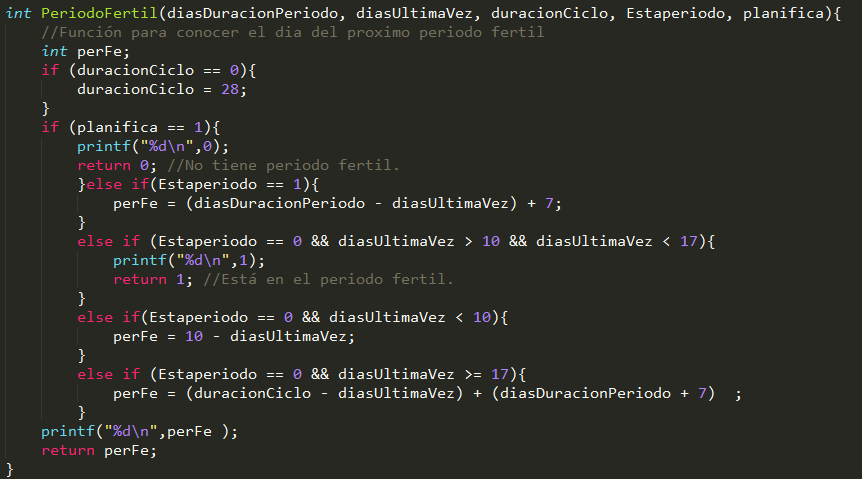
Los diagramas de flujo son bosquejos que describen sistemas, procesos y/o algoritmos en las ciencias de la computación. Su creación permite entender de manera sencilla y didáctica el funcionamiento de un programa sin un conocimiento amplio en informática o algoritmia. De este modo, se crearon diagramas de flujo para el programa en medio y bajo nivel (programa a ejecutar por el procesador). Al igual que en los códigos enunciados, los diagramas de flujo también están divididos según salidas específica

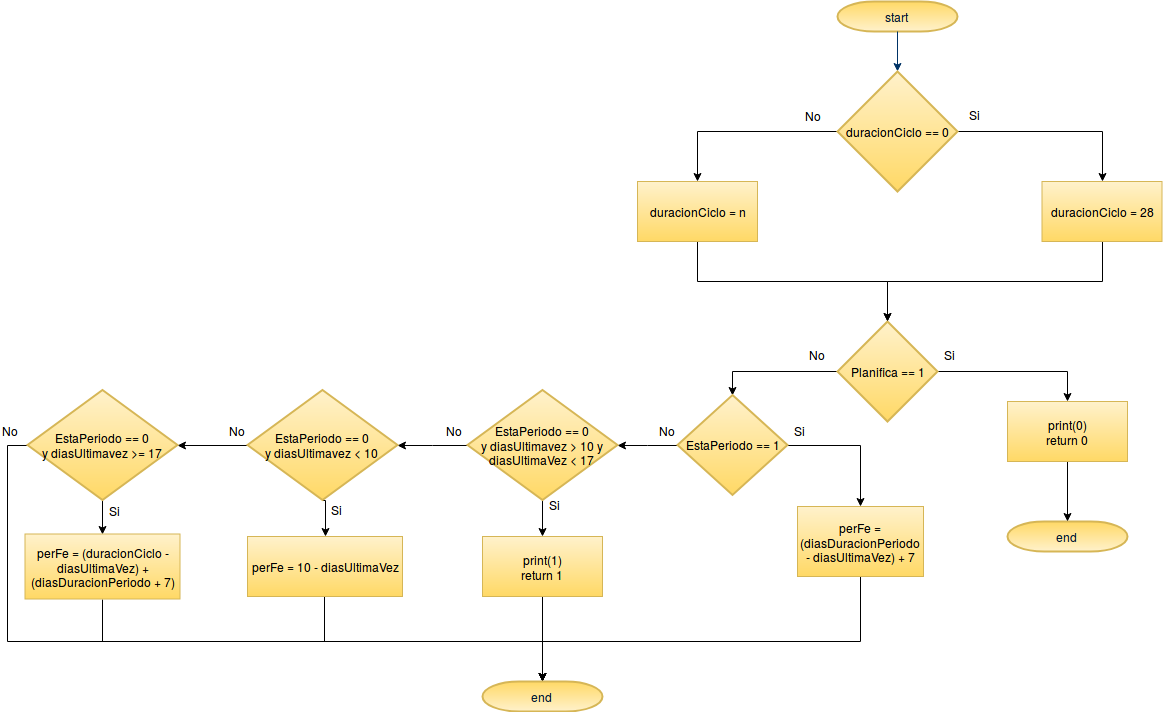
* **Medio Nivel:**

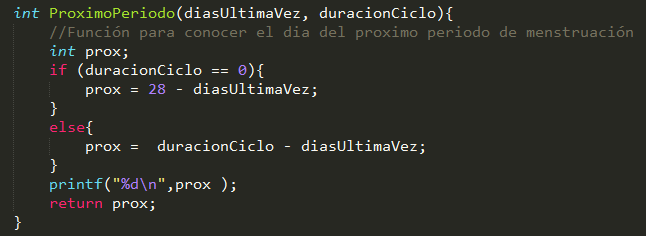
Código por bloques de funciones.

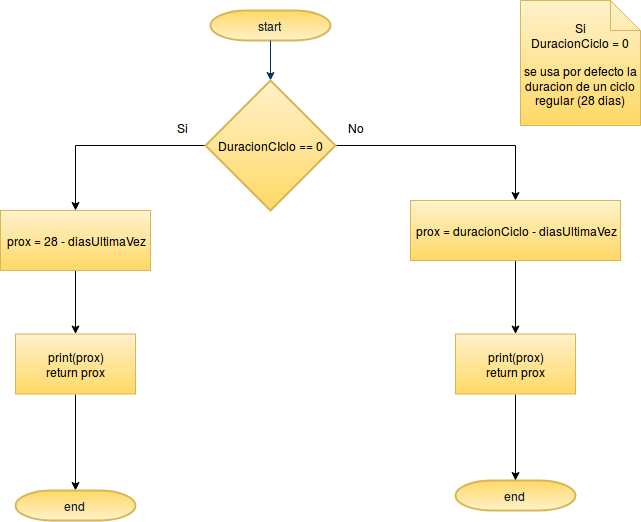
**Menopausia:**

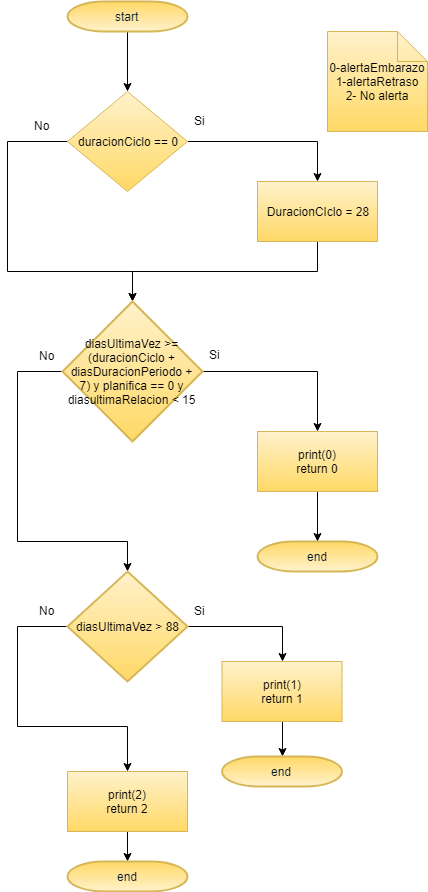
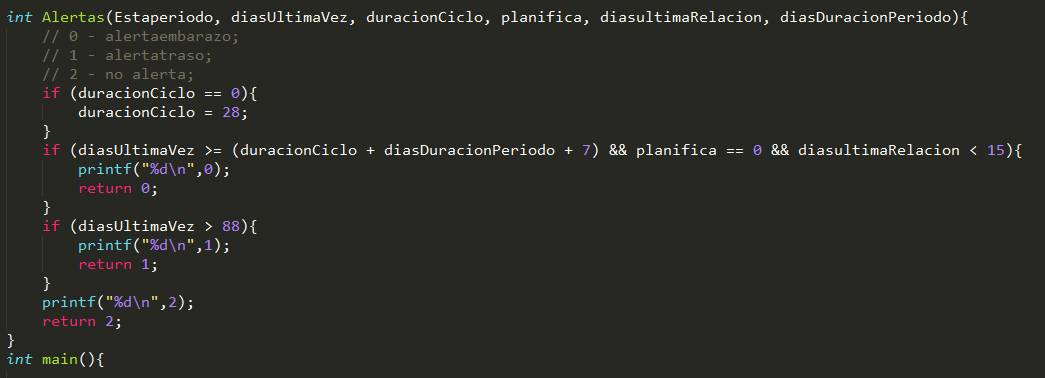


**Periodo Fértil:**

****

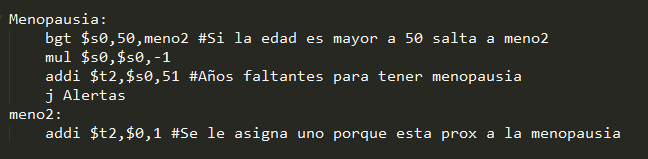
**Próximo Periodo:**

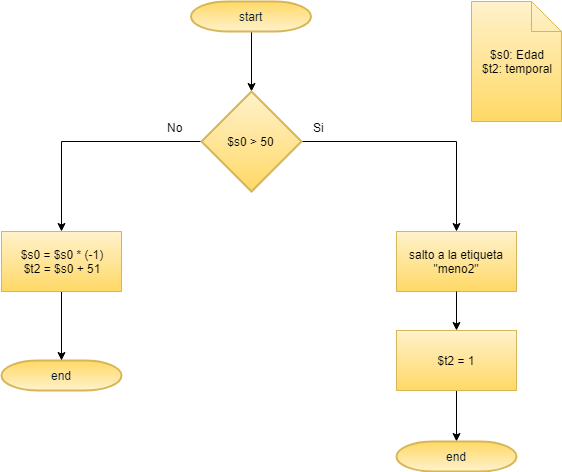
****

******Alertas:**

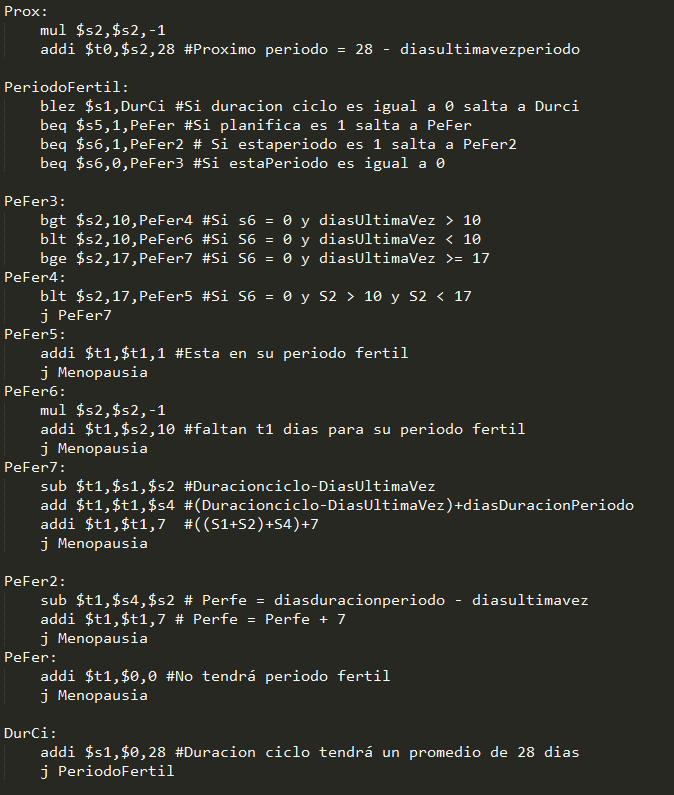
* **Bajo Nivel:**

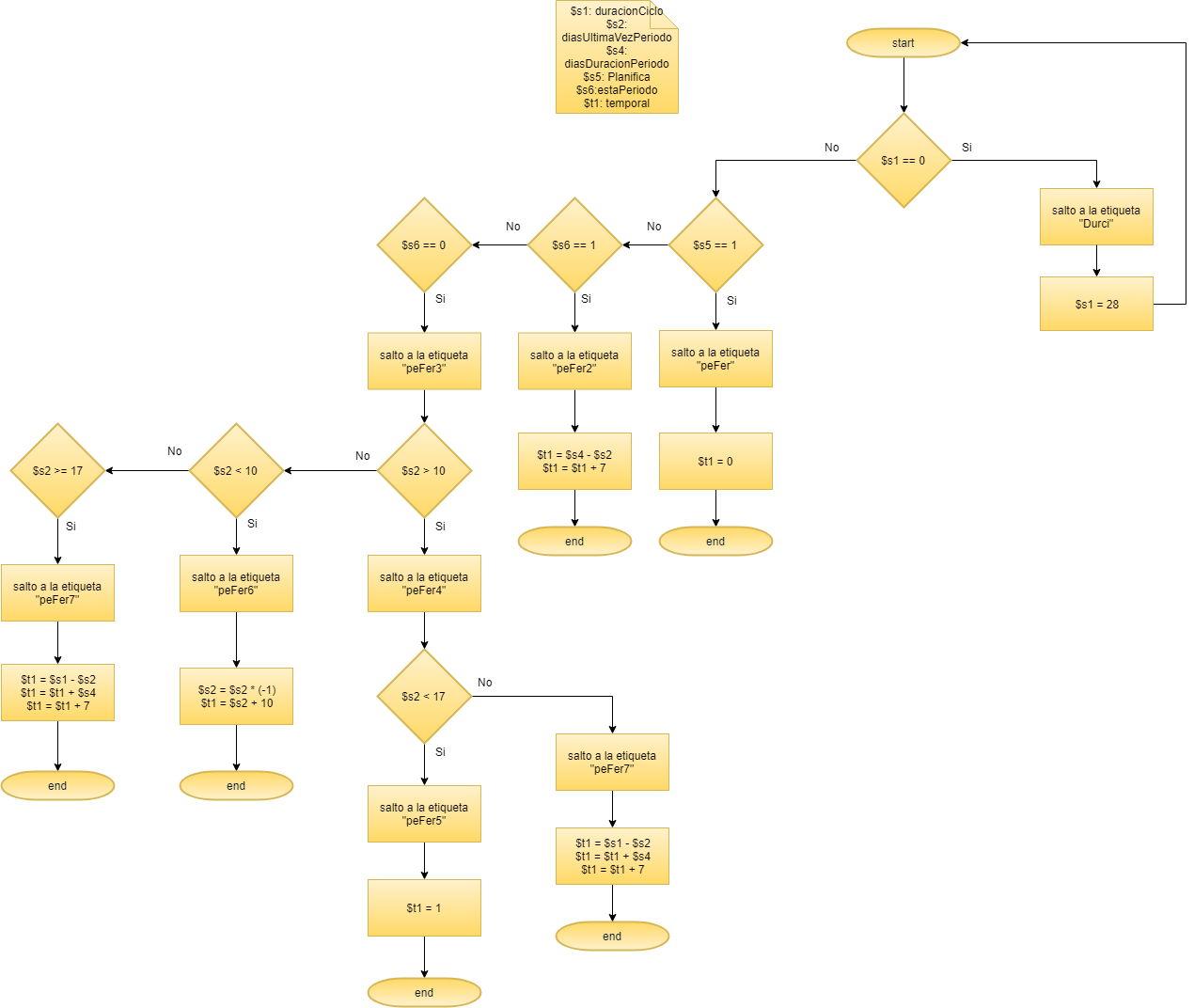
**Menopausia:**



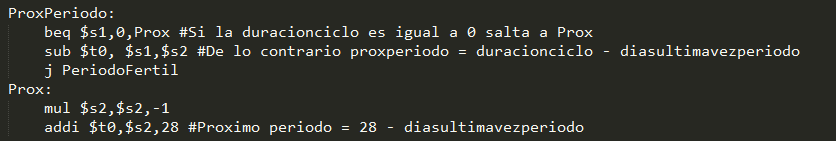
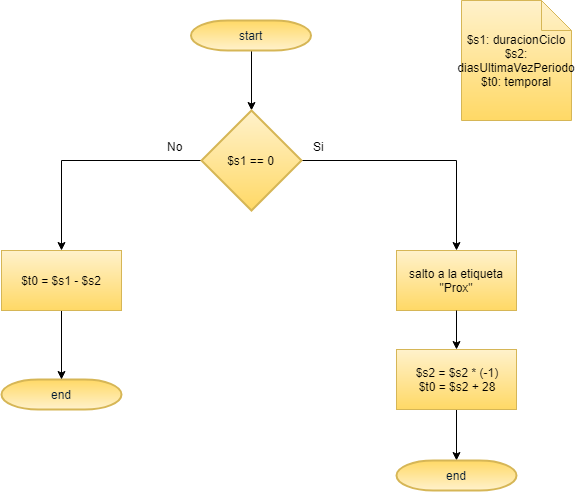
****

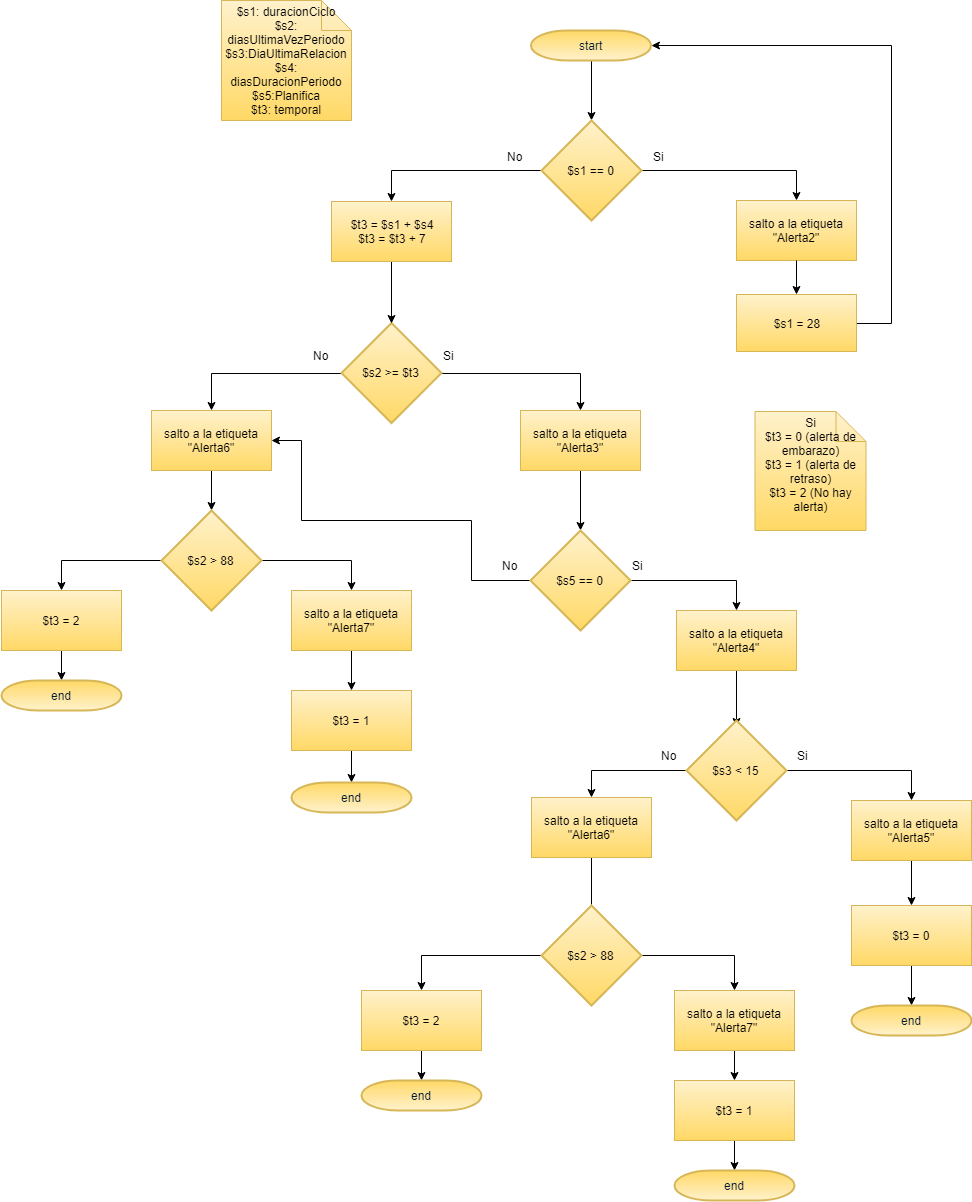
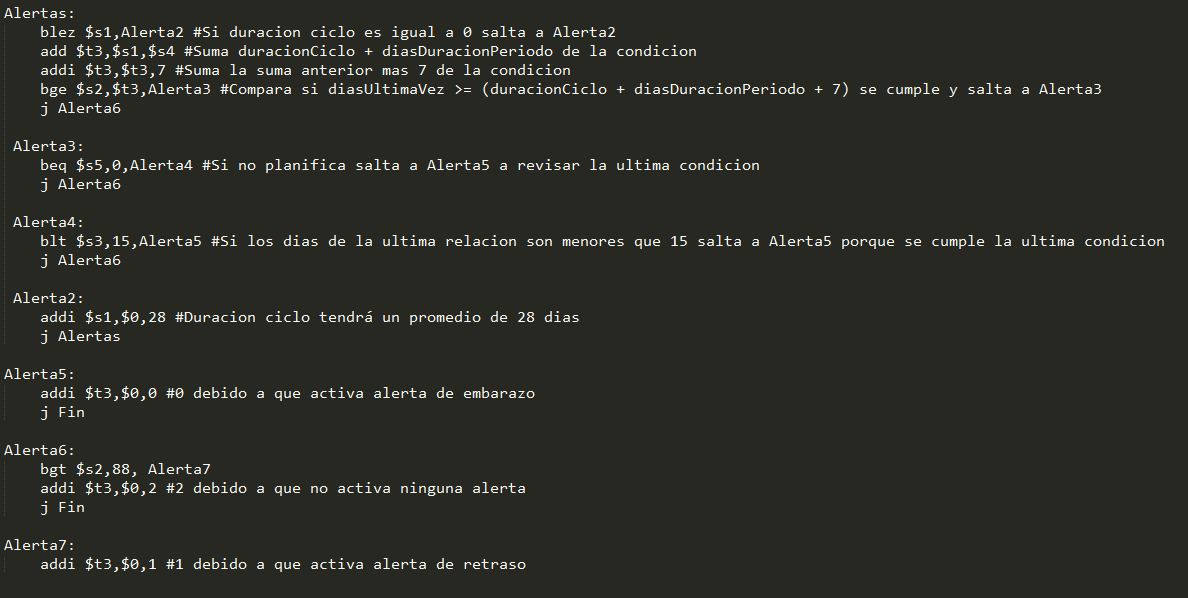
**Periodo Fértil:**



****

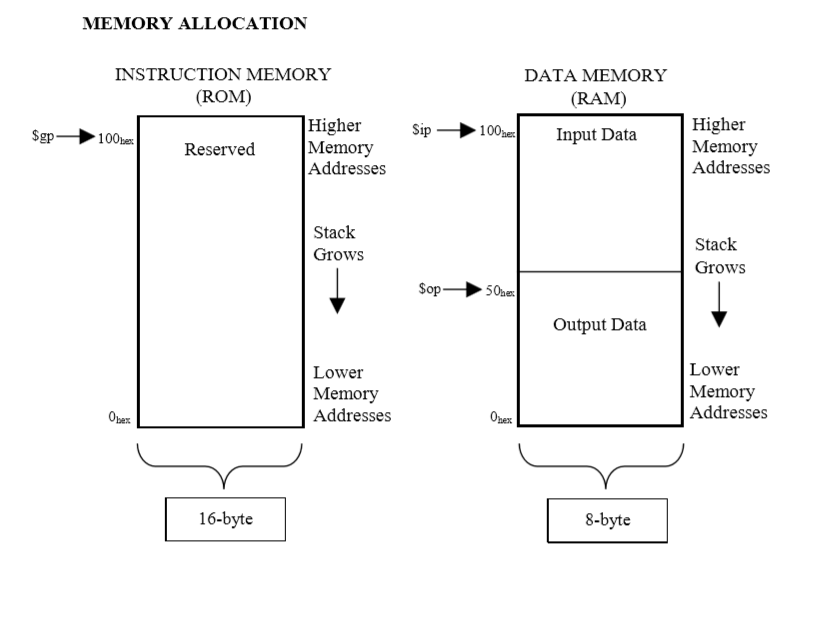
**Próximo Periodo:**

****

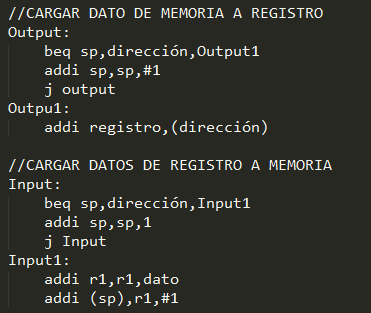
******Alertas:**

**CRITERIO DE DISEÑO PARA EL MANEJO DE MEMORIA**

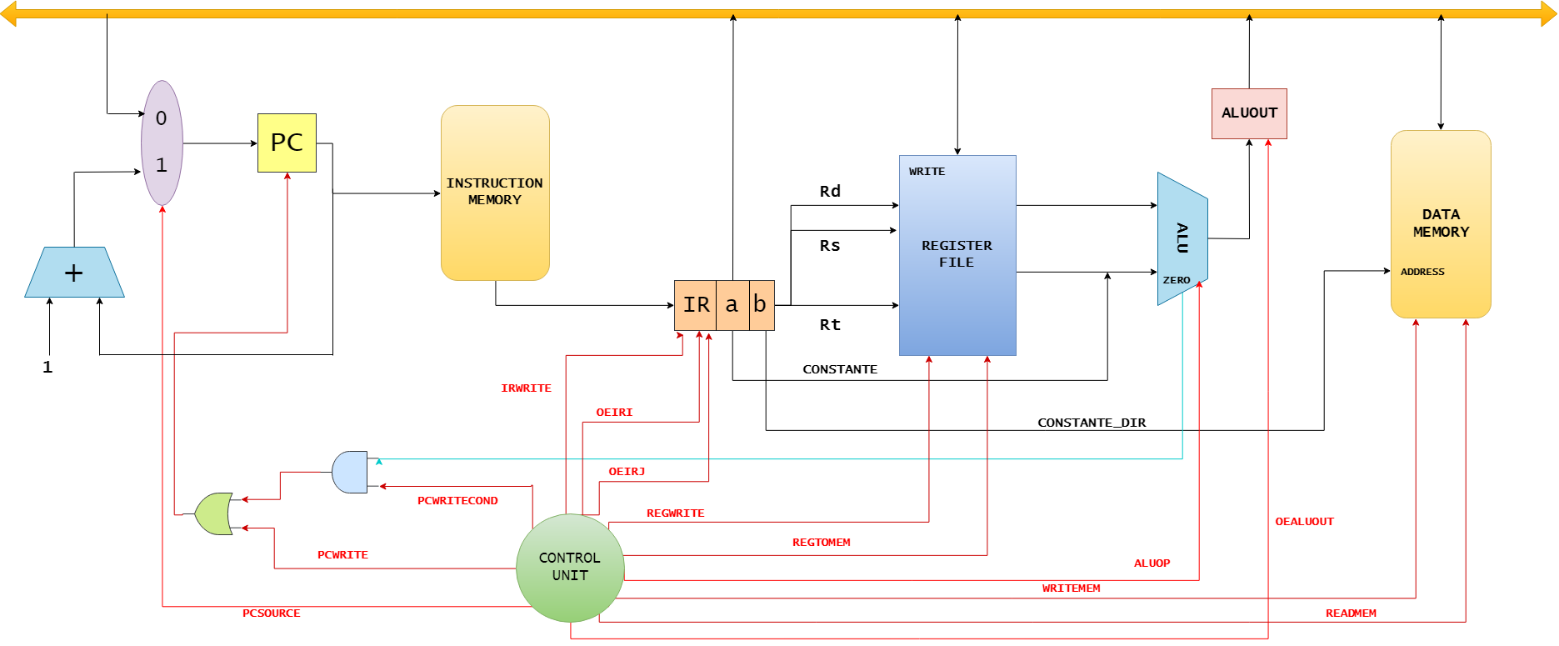
Para el manejo de la memoria dentro de la arquitectura se implementarán y/o usarán dos memorias (ROM y RAM). Esto facilitará la manera en que se acceden a las instrucciones y a los datos al momento de ejecutar el programa.

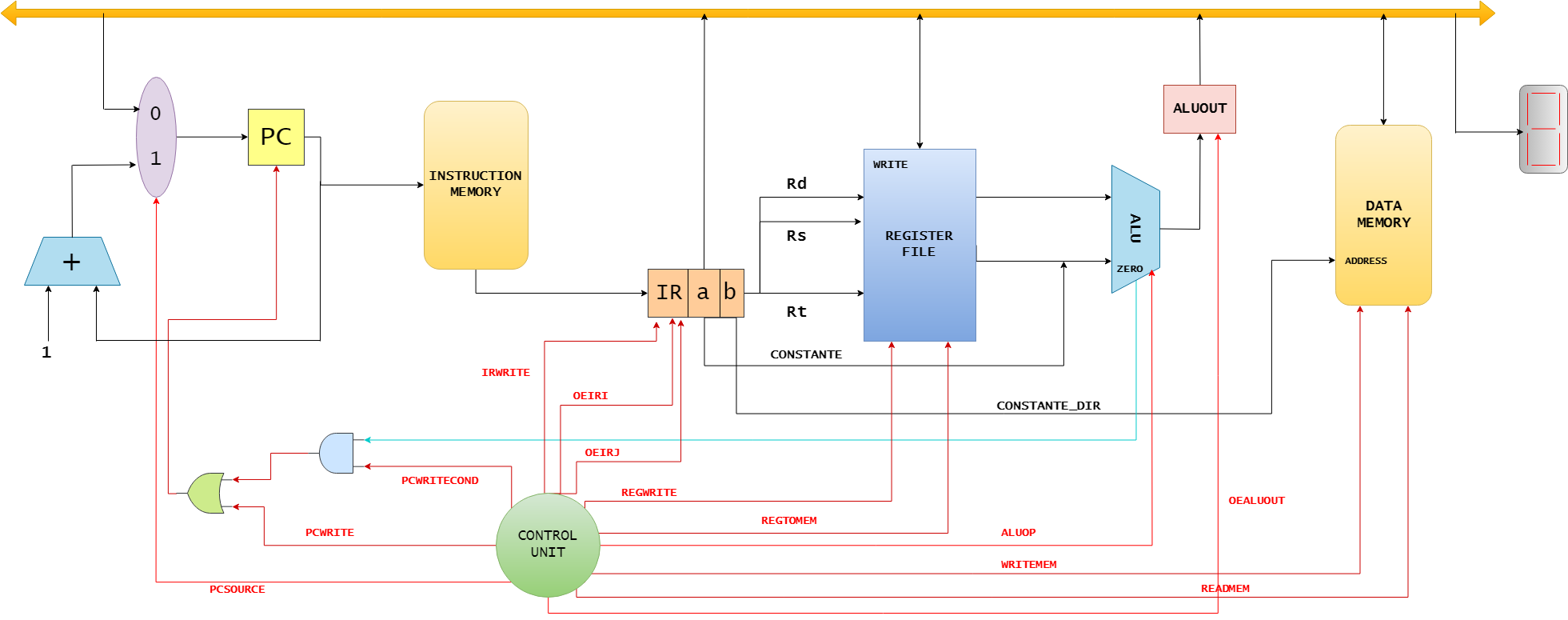


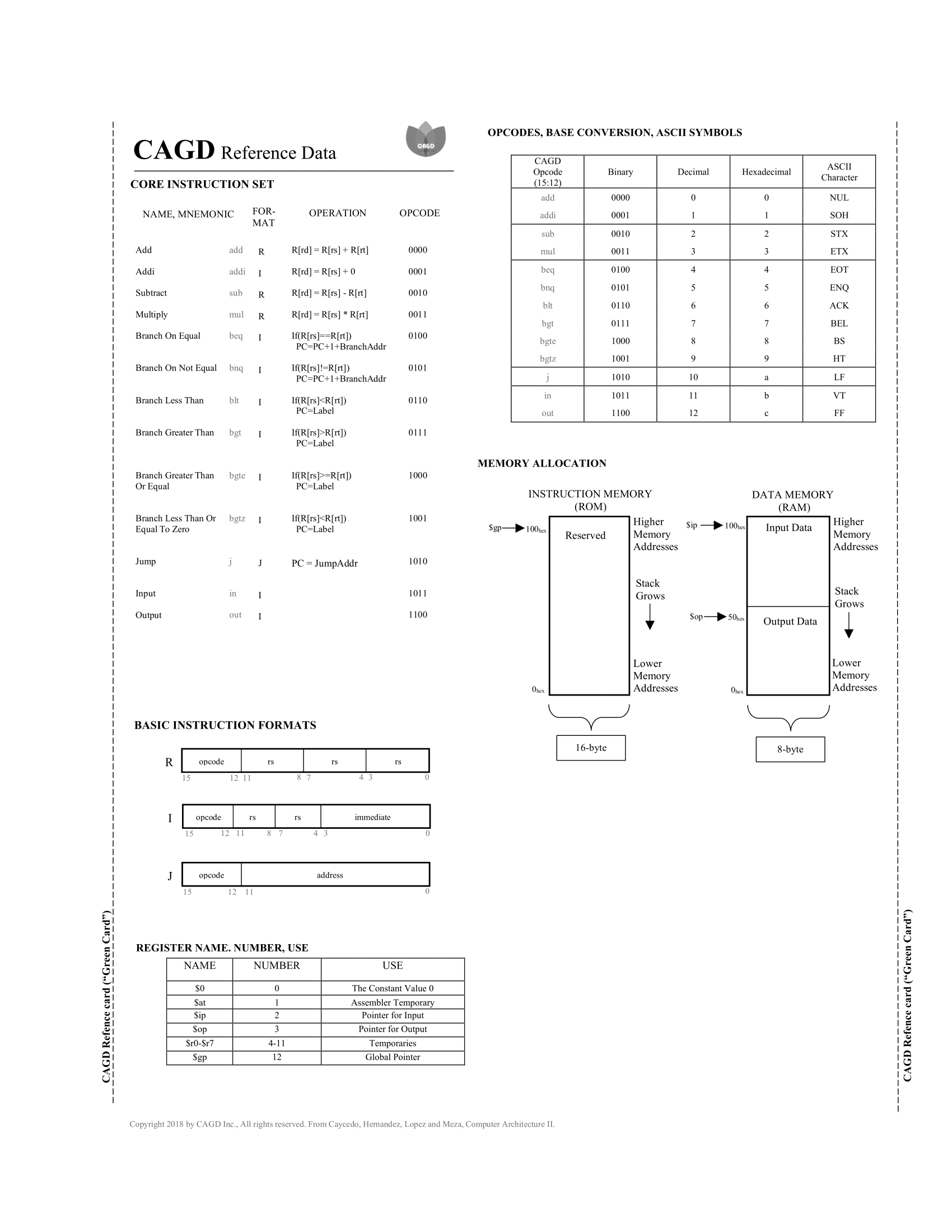
Por medio de nuevas instrucciones encargadas de generar input y output en la memoria de datos, los punteros se actualizarán permitiendo la llegada a los datos y, por ende, su obtención o almacenamiento de manera rápida.



**DIAGRAMA ESTRUCTURAL DE LA ARQUITECTURA DEL PROCESADOR**

****La arquitectura a implementar en el sistema de computo se basa en el funcionamiento de la arquitectura multiciclo de MIPS pero sin la necesidad de utilizar hardware que va a ser innecesario a la hora de ejecutar el programa. Por ende, se podría considerar un hibrido con otras arquitecturas antes vistas en el curso donde podremos encontrar nuevo hardware como un bus principal y un sumador de uno en uno encargado de aumentar el Program Counter (PC).

Para el manejo de la interfaz con el usuario y las diferentes salidas del programa se tendrá en cuenta el display 7 segmentos de la tarjeta FPGA en el cual se mostrarán los resultados de las diferentes funciones a realizar. Para ello, se logrará conectar el display al bus principal de la arquitectura donde estarán los datos luego de ser operados. A continuación, la imagen de la arquitectura junto con el display 7 segmentos.

****

**BIBLIOGRAFIA**

# Lady-Comp (2018). El ciclo menstrual y la ovulación. Recuperado de <http://www.lady-comp.es/ciclo-menstrual>

# Glow. (Año 2011). Eve (Versión 2.12.1) [Aplicación Móvil].

MIPS Reference Data (Green Card). Elsevier, Inc.